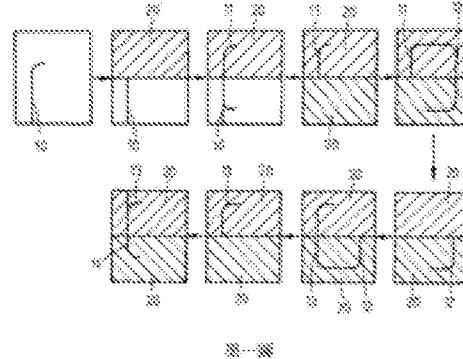


[print out](#)

Patent/Publication No.	466764
Title	Manufacturing method of multi-segment circuit printing for multi-layered chip inductor with the capability of greatly increasing the inductive characteristic and making higher inductive characteristic sustain in higher frequency environment
Publication Date	2001/12/01
Application Date	2000/12/01
Application No.	089125584
Certification_Number	145824
IPC	H01L-029/00;H05K-001/16
Inventor	LIN, LI-CHANG TW
Applicant	TECSTAR TECHNOLOGY CO., LTD. TW
Abstract	<p>The present invention is related a kind of manufacturing method of multi-segment circuit printing for multi-chip inductor, in which the printing design of multi-segment loop coil circuit on the substrate is adopted to complete the multi-layered chip inductor that has multiple inductance coils and the same number of multi-layers. Thus, the inductive characteristic is greatly increased and</p>



higher inductive
characteristic can be
sustained in higher
frequency environment.

Individual

F

Patent Right Change

Application Number	089125584
Date of Update	20091202
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20011201
Patent expiry date	20201130
Maintenance fee due	20101130
Years of annuity paid	9

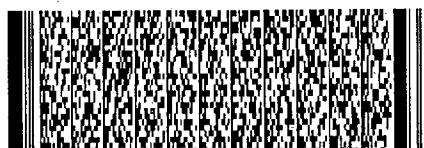
公告本

申請日期：891201 案號：89125584
 類別：H01L 29/00, H05K 1/16

(以上各欄由本局填註)

發明專利說明書 466764

一、 發明名稱	中文	積層晶片電感之多段線路印刷製造方法
	英文	
二、 發明人	姓名 (中文)	1. 林立昌
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 桃園縣楊梅鎮高獅路820-1號
三、 申請人	姓名 (名稱) (中文)	1. 年程科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣楊梅鎮高獅路820-1號
代表人 姓名 (中文)	1. 薛維進	
代表人 姓名 (英文)	1.	



四、中文發明摘要 (發明之名稱：積層晶片電感之多段線路印刷製造方法)

一種積層晶片電感之多段線路印刷製造方法，其乃在基板上採用多段迴路線圈線路之印刷設計，以完成同積層數具有倍數電感圈數之積層晶片電感，進而大幅提高電感特性，在較高頻環境下可維持較高之電感特性者。

英文發明摘要 (發明之名稱：)



五、發明說明 (1)

本案為揭示一種積層晶片電感之多段線路製造方法，尤指提供一種在較高頻工作環境下能維持較高之電感特性之線路印刷製造方法。

按習知積層線路製程方式，其基板上採印刷單圈迴路再與另一層單圈迴路對接所構成積層線路方式；然而，上述單圈迴路之積層線路晶片電感方式，其電感工作特性在達到限定高頻工作範圍就會產生一種衰減效應，因此要在較高頻環境下工作得到穩定之電感特性是無法達成的。要如何提昇積層晶片電感之工作特性，此乃本案所研究之主要課題。

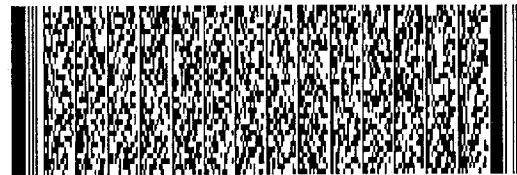
本發明人基於積層晶片電感之工作特性需求，乃潛心研究，以累積多年從事此行業之經驗，終研發提供一種「積層晶片電感之多段線路印刷製造方法」，以提昇積層晶片電感之工作特性，供此產業上需求利用。

本發明之主要目的，即在於提供一種積層晶片電感之多段線路製造方法，其乃在基板上採用多段迴路線圈線路之印刷設計，以使同積層數之晶片電感具有倍數電感圈數之效益，進而大幅提高電感特性，因此要在較高頻環境下可維持較高之電感特性者。

茲依據本發明上揭目的所示之製造方法詳加說明如下：

如第一圖所示本發明主要方法為：

a. 以一端點對稱軌跡線路之網板模組進行基板上印刷出從兩側邊緣向內延伸之端點線路 10。



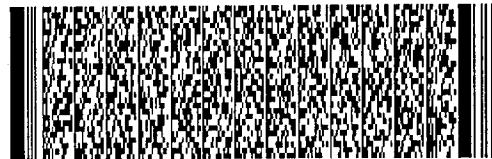
五、發明說明 (2)

- b. 以對基板左半面積進行覆蓋磁漿層 20絕緣處理，各留出一小段之端點線路 10。
- c. 以一第一對稱軌跡線路之網板模組進行第一對接線路 11印刷處理，以供與留出之端點線路 10對合搭接。
- d. 將基板右半面積覆蓋磁漿層 20絕緣處理。
- e. 以一第二對稱軌跡線路之網板模組進行第二對接線路 12印刷處理，以供與第一對接線路 11對合搭接。
- f. 同樣將基板左半面積再覆蓋磁漿層 20絕緣處理。
- g. 以一第三組對稱軌跡線路之網板模組進行第三對接線路 13印刷處理，以供與第二對接線路 11對合搭接。
- h. 繼對右半面積覆蓋磁漿層 20絕緣處理。
- i. 以一末端連接網板模組進行銜接線路 14印刷處理，以供與第三對接線路 11對合搭接，而完成一具有多段電感圈數之積層晶片電感者。

由上述得知，本案乃在基板上採用多段迴路線圈線路之印刷設計，以使在同樣積層數上具有倍數電感圈數之效益，進而大幅提高電感特性，因此要在較高頻環境下可維持較高之電感特性，極具進步性，為一合於實用之發明方法者。

符號說明：

- 端點線路 10
- 第一對接線路 11
- 第二對接線路 12
- 第三對接線路 13



466764

五、發明說明 (3)

銜接線路 14

磁漿層 20



圖式簡單說明

第一圖所示為本發明積層晶片電感之多段線路印刷製造流程示意圖。



六、申請專利範圍

一種積層晶片電感之多段線路印刷製造方法，其步驟包括：

以一端點對稱軌跡線路之網板模組進行基板上印刷出從兩側邊緣向內延伸之端點線路；

以對基板左半面積進行覆蓋磁漿層絕緣處理，各留出一小段之端點線路；

以一第一對稱軌跡線路之網板模組進行第一對接線印刷處理，以供與留出之端點線路對合搭接；

將基板右半面積覆蓋磁漿層絕緣處理；

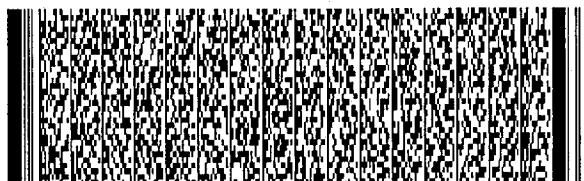
以一第二對稱軌跡線路之網板模組進行第二對接線印刷處理，以供與第一對接線路對合搭接；

同樣將基板左半面積再覆蓋磁漿層絕緣處理；

以一第三組對稱軌跡線路之網板模組進行第三對接線印刷處理，以供與第二對接線路對合搭接；

續對右半面積覆蓋磁漿層絕緣處理；以及

用一末端連接網板模組進行銜接線路印刷處理，以供與第三對接線路對合搭接，以完成同積層數具有倍數電感圈數之積層晶片電感，進而大幅提高電感特性，在較高頻環境下可維持較高之電感特性者。



第一圖

